



Ministero delle Attività Produttive

Direzione Generale per lo Sviluppo Produttivo e la Competitività

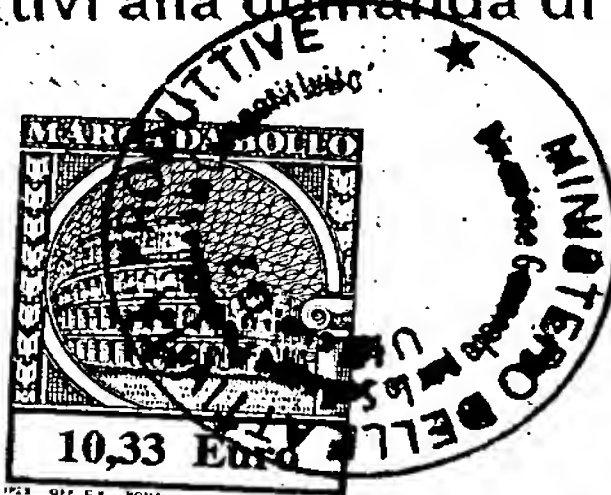
Ufficio Italiano Brevetti e Marchi

Ufficio G2

Autenticazione di copia di documenti relativi alla domanda di brevetto per:

Invenzione Industriale

N. **MI2003 A 001217**



*Si dichiara che l'unita' copia è conforme ai documenti originali
depositati con la domanda di brevetto sopraspecificata, i cui dati
risultano dall'accluso processo verbale di deposito.*

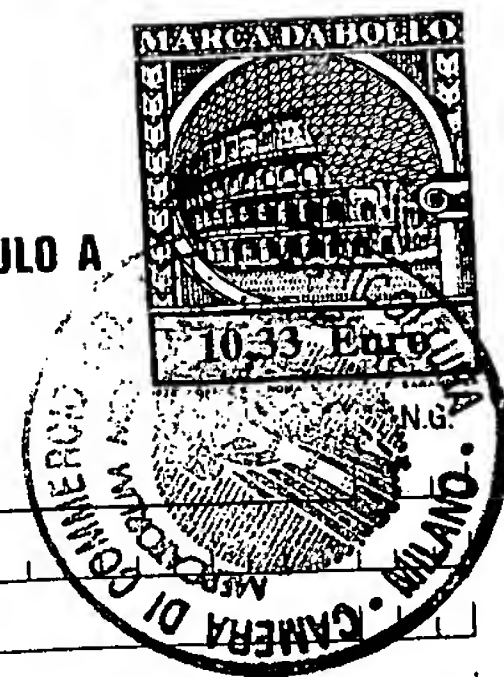
Roma, li **29 AGO. 2003**

IL DIRIGENTE

Ing. DI CARLO

AL MINISTERO DELL'INDUSTRIA DEL COMMERCIO E DELL'ARTIGIANATO
UFFICIO ITALIANO BREVETTI E MARCHI - ROMA
 DOMANDA DI BREVETTO PER INVENZIONE INDUSTRIALE, DEPOSITO RISERVE, ANTICIPATA ACCESSIBILITÀ AL PUBBLICO

MODULO A

**A. RICHIEDENTE (I)**

1) Denominazione Atmel Corporation codice _____
 Residenza San Jose, California (U.S.)
 2) Denominazione _____ codice _____
 Residenza _____

B. RAPPRESENTANTE DEL RICHIEDENTE PRESSO L'U.I.B.M.

cognome nome Parisi Luigi e altri cod. fiscale _____
 denominazione studio di appartenenza Ufficio Internazionale Brevetti Ing.C.Gregorj S.p.A.
 via Dogana n. 1 città Milano cap 20123 (prov) MI

C. DOMICILIO ELETTIVO destinatario

via _____ n. _____ città _____ cap _____ (prov) _____
 classe proposta (sez/cl/sci) H03K gruppo/sottogruppo _____

D. TITOLO

"Ripetitore rigenerativo di temporizzazione"

ANTICIPATA ACCESSIBILITÀ AL PUBBLICO:SI ☐ NO ☒

SE ISTANZA: DATA _____ N° PROTOCOLLO _____

E. INVENTORI DESIGNATI

cognome nome
 1) SIVERO, Stefano 3) _____
 2) FRULIO, Massimiliano 4) _____

F. PRIORITÀ

nazione o organizzazione	tipo di priorità	numero di domanda	data di deposito
1) <u>//</u>			
2) _____			

G. CENTRO ABILITATO DI RACCOLTA CULTURE DI MICRORGANISMI. denominazione**H. ANNOTAZIONI SPECIALI****DOCUMENTAZIONE ALLEGATA**

N. es.	Doc.	PROV	n. pag.	Doc.	PROV	n. tav.	Doc.	PROV	Doc.	PROV	Doc.	PROV	Doc.	PROV	Doc.	PROV
1	1	PROV	35	2	1	PROV	7	3	0	MS	4	1	RIS	5	0	RIS
6	0	RIS		7	0	RIS		8	0	RIS						

riassunto con disegno principale, descrizione e rivendicazioni (obbligatorio 1 esemplare)
 disegno (obbligatorio se citato in descrizione, 1 esemplare)
 lettera d'incarico, procura o delega
 documenti di priorità con traduzione in italiano
 autorizzazione o atto di cessione
 nominativo completo del richiedente

8) attestati di versamento, euro duecentonovantuno/80 obbligatorio

COMPILATO IL 17/06/2003 FIRMA DEL(I) RICHIEDENTE(I) Parisi Luigi

CONTINUA SI/NO NODEL PRESENTE ATTO SI RICHIEDE COPIA AUTENTICA SI/NO SI

MILANO

codice 15CAMERA DI COMMERCIO IND. ART. E AGR. DI MILANO

VERBALE DI DEPOSITO

NUMERO DI DOMANDA

MI2003A 001217

Reg. A.

L'anno DUEMILAUNDUEMILATRE

il giorno

DI SETTEdel mese di GIUGNO

il(i) richiedente(i) sopraindicato(i) ha(hanno) presentato a me sottoscritto la presente domanda, corredata da _____ fogli aggiuntivi per la concessione del brevetto sopraportato.

I. ANNOTAZIONI VARIE DELL'UFFICIALE ROGANTE

IL RAPPRESENTANTEINFORMATO DEL CONTENUTO DELLACIRCOLARE N. 423 DEL 01.03.2001IL DEPOSITO CON RISERVADI LETTERA D'INCARICO.

IL DEPOSITANTE

dell'Ufficio

L'UFFICIALE ROGANTE

M. CORTONESI

RIASSUNTO INVENZIONE CON DISEGNO PRINCIPALE, DESCRIZIONE E RIVENDICAZIONE

NUMERO DOMANDA

NUMERO BREVETTO

Mi 2003 A 00 1247

REG. A

DATA DI DEPOSITO

DATA DI RILASCIO

17/06/2003

11/11/11

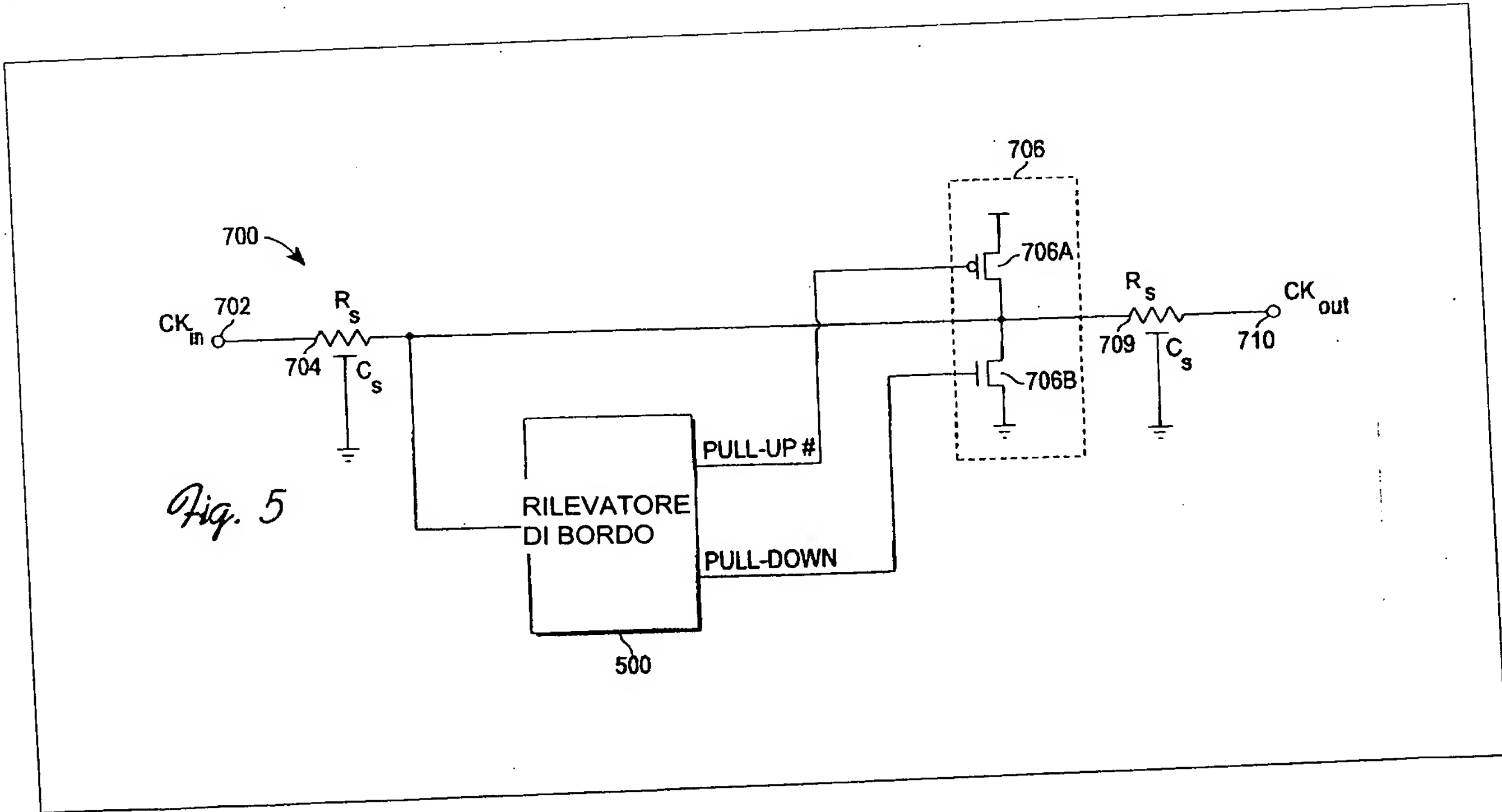
D. TITOLO

"Ripetitore rigenerativo di temporizzazione"

L. RIASSUNTO

Un ripetitore rigenerativo di temporizzazione comprende un rivelatore di bordo e mezzi di driver di uscita per produrre il segnale di temporizzazione recuperando il suo livello logico elevato e il suo livello logico basso. I mezzi di driver di uscita comprendono inoltre un circuiteria di pull-up e pull-down adatta a ricevere una coppia di segnali di controllo. Questi segnali di controllo vengono generati dal rivelatore di bordo per rilevare il bordo in salita e il bordo in discesa del segnale di temporizzazione. All'interno del rivelatore di bordo, una coppia di rivelatori del livello di soglia rileva un livello logico alto e basso del segnale di temporizzazione e immette i risultati ad una combinazione di porte logiche e ad un chiavistello elettronico per mantenere le posizioni dei marcatori di segnale fisse. Queste posizioni fisse dei segnali di controllo azionano i mezzi di driver di uscita per recuperare il livello logico elevato e il livello logico basso di detto segnale di temporizzazione.

M. DISEGNO



(Ing. L. Parisi)
N. Albo 852

4/118756

Descrizione del brevetto per invenzione industriale
avente per titolo:

"Ripetitore rigenerativo di temporizzazione"

a nome: Atmel Corporation

MI 2003A00121Z

con sede: 2325 Orchard Parkway

San Jose, California 95131 (U.S.A.)

di nazionalità statunitense ed elettivamente domici-

liata presso i suoi mandatarî: Dr. E. Klausner, Dr.

A. Santostefano, p.i. R. Monti, Ing. L. Parisi, Dr.

E. Ferrari, a Milano, Via Dogana 1

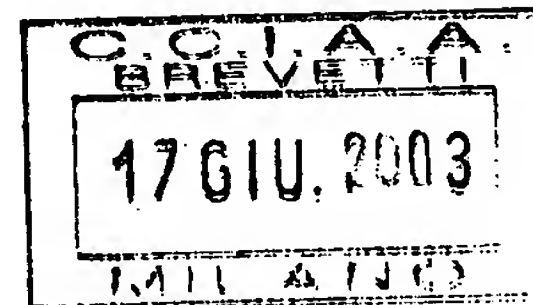
(Ufficio Internazionale Brevetti Ing. C. Gregorj S.p.A.)

depositata il

Nr.

* * * * *

Campo tecnico



L'invenzione si riferisce alla distribuzione del segnale di temporizzazione all'interno di un circuito integrato di memoria, e più in particolare a ripetitori di temporizzazione disposti lungo la linea di temporizzazione per il recupero dei livelli logici dei segnali di temporizzazione.

Tecnica di sfondo

In un sistema digitale sincrono, la distribuzione efficace della temporizzazione è essenziale e perché il sistema funzioni correttamente. La propagazione

indebitamente lenta di un segnale di temporizzazione può limitare la capacità dei componenti del sistema di mantenere un'adeguata sincronia l'uno con l'altro. Inoltre, un segnale di temporizzazione deteriorato può provocare il completo malfunzionamento del sistema, anche con schema e componenti altrimenti impeccabili. Con riferimento alla fig. 1, una linea rappresentativa 100 di distribuzione della temporizzazione comprende un segnale 102 di temporizzazione di riferimento avente un basso livello logico V_L e un alto livello logico V_H , un buffer o un driver 104 di ingresso del temporizzatore. La linea 100 di distribuzione ha una resistenza intrinseca (R) e una capacità (C) 106, e una capacità 108 di carico in corrispondenza dell'estremità di ricezione. Il segnale 102 di temporizzazione è completamente specificato da livelli periodici di alta e bassa tensione (V_H e V_L) idealmente con una forma d'onda quadrata.

Quando la resistenza R della linea è comparabile a o maggiore della resistenza ON del driver, il ritardo t_d di propagazione è proporzionale al valore costante di tempo di RC . Poiché sia la resistenza R che la capacità C aumentano linearmente con la lunghezza, questo ritardo di propagazione t_d aumenta in modo proporzionale al quadrato della lunghezza della linea.

Il deterioramento del segnale 102 di temporizzazione viene causato dalla costante di tempo di RC della linea 100 di distribuzione della temporizzazione che connette il buffer 104 di ingresso alle porte aventi capacità di carico C_L 108. Il segnale 102 di temporizzazione subisce degradazione fino al punto che i suoi valori originali alto V_H e basso V_L vengono distorti. Ciò è illustrato per mezzo di un segnale 110 di uscita di temporizzazione. La componente RC nella linea 100 di distribuzione agisce come filtro passa-basso che fa sì che il segnale 102 di temporizzazione abbia un tempo di salita e un tempo di discesa proporzionali alla costante di tempo di RC. Come risultato, il segnale 102 di temporizzazione non mantiene la forma d'onda originale del segnale di temporizzazione. Esiste dunque la necessità di una rete di distribuzione della temporizzazione che minimizzi il ritardo di propagazione e la degradazione del segnale di un segnale di temporizzazione.

Esistono diversi approcci che tentano di risolvere il problema suddetto. Ogni approccio dipende dalla resistenza intrinseca e dai valori di capacità diversi della linea 106 di distribuzione della temporizzazione. In un approccio, la linea viene divisa in sezioni più piccole in modo che il ritardo di tempo t_d

sia approssimativamente lineare con la lunghezza, invece che il quadrato della lunghezza. Con riferimento alla fig. 2A, la linea 200A di distribuzione della temporizzazione viene divisa in segmenti K. L'obiettivo di questo approccio della tecnica precedente è di trovare il numero ottimale di segmenti K che minimizzerebbe il ritardo di propagazione t_d .

Supponiamo che la resistenza totale della linea sia R e la capacità totale della linea sia C. Ogni segmento della linea è delimitato da un buffer o driver 204A di inversione di dimensioni minime con una capacità C_i caratteristica di ingresso, 202A, e un'impedenza R_o caratteristica di uscita 206A. Ogni segmento ha inoltre una caratteristica 208A di RC distribuita. La resistenza distribuita R_s , 208A di ogni segmento è pari a R/k , e la capacità distribuita C_s di ogni segmento è pari a C/k , supponendo che tutti i segmenti siano della stessa lunghezza. Il ritardo di propagazione (il tempo a cui $V_{out}/V_{in} = 0.5$ in fig. 3) del 50% può venire espresso come $T_{50\%} = k[0.7 R_o(C_s + C_i) + R_s(0.4 C_s + 0.7 C_i)]$, in cui il fattore 0.7 si riferisce al termine RC composto da resistenza e capacità concentrati (qui R_o e C_i) e il fattore 0.4 si riferisce al termine RC composto da resistenza e capacità distribuite (qui R_s e C_s). Il valore minimo



(Ing. L. Parisi)
n. Albo 852

di $T_{50\%}$ dà il valore k ottimale, $K_{ott} = \text{radice quadrata di } \{0.4 RC / 0.7 R_o C_i\}$. Per questo valore k ottimale, il ritardo di un singolo segmento che collega due invertitori è uguale a quello dell'invertitore singolo, $0.4 R_s C_s = 0.7 R_o C_i$.

Con riferimento alla fig. 2B, in un altro approccio, il ritardo t_d di propagazione può essere ulteriormente migliorato aumentando le dimensioni dei ripetitori 204B per mezzo di un fattore h . La capacità 202B di ingresso è ora $h C_i$, l'impedenza 201B di uscita è ora R_o/h , e la componente RC 208B distribuita rimane invariata. In questo caso, i valori ottimali per k e h diventano: $K_{ott} = \text{radice quadrata di } \{0.4 RC / 0.7 R_o C_i\}$, e $H_{ott} = \text{radice quadrata di } \{R_o C / RC_i\}$.

La fig. 3 illustra l'effetto della caratteristica di RC concentrata e distribuita delle linee di distribuzione della temporizzazione sul segnale 300 di temporizzazione. In fig. 3 l'effetto dell'RC concentrata è peggiore rispetto a quello dell'RC distribuita sul segnale 300 di temporizzazione. È necessaria la tensione di uscita di un segnale di temporizzazione ricevuto di $0.7 RC$ di tempo per raggiungere 0.5 del suo valore logico alto per una linea 302 di RC concentrata, mentre è necessaria una tensione di uscita solo di $0.4 RC$ per raggiungere lo stesso livel-

lo per una linea 304 di RC di distribuzione.
L'effetto severo di una linea 302 di RC concentrata
sul segnale di temporizzazione viene migliorato per
mezzo dell'approccio preso in fig. 2B di ingrandire
il ripetitore per mezzo di un fattore h.

Con riferimento alla fig. 4, un altro approccio utilizza, invece di ripetitori a invertitore singolo, driver del ripetitore formati da coppie di invertitori 402 e 404 collegate in serie. In tal modo, la polarità del segnale di temporizzazione che viaggia lungo il segmento 406 della linea di distribuzione rimane la stessa in ogni punto lungo la linea 400 di distribuzione della temporizzazione.

In tutti gli approcci descritti di sopra, la struttura del ripetitore necessita che il segnale di temporizzazione ricevuto in corrispondenza di un ingresso del ripetitore attraversi la soglia dell'invertitore in modo da funzionare. Se il valore di RC della linea di distribuzione è molto alto, il valore k_{ott} sarà grande e il ritardo minimo di propagazione in corrispondenza di questo valore ottimale sarà ancora ampio.

Un obbiettivo della presente invenzione è di fornire una struttura del ripetitore per una linea di distribuzione della temporizzazione che riduca il ri-

(Ing. A. Parisi)
n. 852

tardo totale di propagazione in confronto alla struttura del ripetitore precedente.

Sommario dell'invenzione

L'obiettivo dell'invenzione viene raggiunto per mezzo di un ripetitore rigenerativo della temporizzazione che utilizza mezzi di driver di uscita che ricevono informazioni riguardo il bordo in salita e il bordo in discesa, per recuperare un livello logico alto (V_H) e un livello logico basso (V_L) di un segnale di temporizzazione. Per raggiungere il suddetto obiettivo, il ripetitore rigenerativo della temporizzazione comprende un rivelatore di bordo che genera un segnale di controllo di pull-up ogni qual volta rileva il bordo in salita, e un segnale di controllo di pull-down ogni qual volta che rileva il bordo in discesa del segnale di temporizzazione. Nella realizzazione preferita dell'invenzione, nel rivelatore di bordo, vengono usati un invertitore a livello di soglia elevata e un invertitore con un livello di bassa soglia per generare segnali di controllo di pull-up e pull-down. La temporizzazione relativa di questi segnali di controllo rispetto ai bordi del segnale di temporizzazione può essere mantenuta fissa per mezzo di una pluralità di porte logiche e un chiavistello elettronico. Un driver di uscita viene azionato dal

(M. L. Parisi)
n. Aldo 852

segnale di controllo di pull-up e dal segnale di controllo di pull-down per recuperare il livello logico alto (V_H) e il livello logico basso (V_L) del segnale di temporizzazione.

Breve descrizione dei disegni

La fig. 1 illustra un diagramma schematico di un segnale di controllo accoppiato ad una linea di distribuzione rappresentativa della tecnica precedente avente caratteristiche intrinseche di RC.

La fig. 2A illustra un diagramma schematico di un circuito multistadi della tecnica precedente per ridurre il ritardo di propagazione t_d causato dalla resistenza e dalla capacità intrinseche nella linea di distribuzione della temporizzazione.

La fig. 2B illustra un diagramma schematico di un altro approccio della tecnica precedente per ridurre ulteriormente il ritardo di propagazione causato dalla resistenza e dalla capacità intrinseche nella linea di distribuzione della temporizzazione, aumentando il fattore h del ripetitore.

La fig. 3 illustra grafici degli effetti della caratteristica di RC concentrata e distribuita di una linea di distribuzione della temporizzazione sul segnale di temporizzazione.

La fig. 4 illustra un diagramma schematico di un



altro approccio della tecnica precedente che utilizza ripetitori composti da coppie di invertitori collegate in serie in una linea di distribuzione della temporizzazione, per mantenere la polarità del segnale di temporizzazione uguale in qualunque punto della linea.

La fig. 5 è un diagramma schematico a blocchi che illustra le caratteristiche generali di un circuito ripetitore rigenerativo della temporizzazione secondo la presente invenzione.

La fig. 6 è un diagramma schematico di circuito di una realizzazione preferita del rivelatore di bordo utilizzato nel circuito ripetitore di fig. 5.

Le figg. 7A e 7B sono grafici che illustrano il funzionamento dell'invertitore ad alto e basso punto di azionamento utilizzato nel rivelatore di bordo di fig. 6.

La fig. 8 illustra un diagramma di temporizzazione del segnale che illustra in funzionamento del circuito di elementi di un ripetitore rigenerativo della temporizzazione delle figg. 5 e 6 secondo la presente invenzione.

La fig. 9 illustra un dispositivo di memoria che utilizza ripetitori rigenerativi della temporizzazione come descritto in fig. 5.

(Ing. L. Parisi)
N. 852

Realizzazione preferita della descrizione

Con riferimento alla fig. 5, un ripetitore 700 rigenerativo della temporizzazione secondo la presente invenzione, che recupera il livello logico basso (V_L) e il livello logico alto (V_H) di un segnale di temporizzazione deteriorato, comprende un circuito rivelatore 500 di bordo e un circuito 706 del driver di uscita. Il circuito rivelatore 500 di bordo riceve un segnale di temporizzazione CK_{IN} da un segmento della linea 702 di distribuzione della temporizzazione caratterizzato da un'impedenza 704 intrinseca di RC, e genera un segnale di controllo di pull-up (PULL-UP#) o un segnale di controllo di pull-down (PULL-DOWN) basato sul livello logico del segnale 702 di temporizzazione. Il segnale di controllo di pull-up (PULL-UP#) viene generato da un bordo in salita rilevato del segnale di temporizzazione passante al di sopra di un livello di bassa soglia della tensione, il segnale di controllo di pull-down (PULL-DOWN) viene generato da un bordo in discesa rilevato del segnale di temporizzazione passante al di sotto di un livello di soglia elevata della tensione. Il driver 706 di uscita ha un transistor 706A di pull-up (solitamente del tipo p) collegato ad una sorgente di energia ad un livello logico alto (V_H), e un transistor

(ing. L. Parisi)
E. Aldo 852

706B di pull-down (solitamente del tipo n) collegato ad una sorgente di energia ad un livello logico basso (V_L), tipicamente massa. I transistor di pull-up e pull-down 706A e 706B ricevono rispettivamente il segnale di controllo di pull-up e il segnale di controllo di pull-down per recuperare il livello logico alto (V_H) e un livello logico basso (V_L) del segnale di temporizzazione deteriorato ricevuto, e collocare la temporizzazione recuperata su un altro segmento della linea di distribuzione della temporizzazione, che è altrimenti caratterizzata da una impedenza 709 intrinseca di RC, e la cui uscita è Ck_{out} in corrispondenza del nodo 710.

Con riferimento alla fig. 6, il rilevatore 500 di bordo comprende un invertitore (HIV) 540 del livello alto di soglia e un invertitore (IVL) 550 del livello di bassa soglia, entrambi accoppiati ad un ingresso 502 del temporizzatore. L'invertitore 540 del livello di soglia elevata genera un primo segnale (ALTO#) e anche un contrario di questo segnale (ALTO) attraverso un invertitore 546. L'invertitore (IVL) 550 del livello di bassa soglia genera un secondo segnale (BASSO#) e anche un contrario di questo segnale (BASSO) attraverso un invertitore 556. Questi quattro segnali vengono immessi in porte logiche NOR 562 e 564,

(Ing. L. Parisi)
M. Albo 852

le uscite delle quali vengono immesse in un chiavistello elettronico 566 di impostazione/ripristino. L'uscita del chiavistello elettronico 566, insieme ai quattro segnali (ALTO, ALTO#, BASSO, BASSO#), viene immessa in porte logiche NAND e NOR 568 e 570 per generare il segnale di controllo di pull-up (PULL-UP#) e il segnale di controllo di pull-down (PULL-DOWN).



L'invertitore (HIV) 540 del livello alto di soglia è formato da un transistor 542 di bassa soglia a canale p e un transistor 544 di soglia elevata a canale n. Il transistor 542 PMOS a livello di bassa soglia viene usato come un transistor di pull-up con la propria sorgente collegata ad una alimentazione di tensione. Il transistor 544 NMOS a livello di soglia elevata viene usato come transistor di pull-down con la propria sorgente collegata ad una massa elettrica. Le porte del transistor 542 PMOS a bassa soglia e del transistor 544 NMOS di pull-down a livello di soglia elevata sono entrambe connesse all'ingresso del temporizzatore Ck. Infine, il pozzo del transistor 542 PMOS a bassa soglia e il pozzo del transistor 544 NMOS insieme formano un uscita dell'invertitore che produce il segnale ALTO#.

La fig. 7A illustra le caratteristiche della funzione di trasferimento di un invertitore (IVH) 540 a

(ing. L. Parisi)
D. Alpo 852

livello di soglia elevata utilizzato in questa invenzione.

Il transistor 542 PMOS a bassa soglia e il transistor 544 a soglia elevata nell'invertitore (IVH) 540 a livello di soglia elevata fanno sì che la tensione di soglia V_{th} sia molto alta, e la distanza tra V_{th} e V_H sia molto ridotta. Ciò è illustrato dalla curva 540A.

Ritornando alla fig. 6, l'invertitore (IVL) 550 a livello di bassa soglia comprende un transistor 552 PMOS a livello di soglia elevata che agisce come transistor di pull-up accoppiato con un NMOS 554 a livello di bassa soglia che agisce come transistor di pull-down. L'invertitore (IVL) 550 a livello di bassa soglia genera il secondo segnale (BASSO#) rilevando una salita al di sopra di un livello logico basso predeterminato (VL) sul segnale 502 di ingresso del temporizzatore. Il secondo segnale (BASSO#) viene immesso nell'invertitore 556 per generare il segnale inverso (BASSO). Nell'invertitore (IVL) 550 a livello di bassa soglia, un transistor 554 NMOS a livello di bassa soglia viene usato come transistor di pull-down con la propria sorgente collegata alla massa elettrica 547. Un transistor 552 PMOS a livello di soglia elevata viene usato come transistor di pull-up con la

Parisi)
852

propria sorgente collegata all'alimentazione di corrente 543. Le porte del transistor 552 PMOS a livello di soglia elevata e del transistor 554 NMOS a livello di bassa soglia sono entrambe collegate all'ingresso 502 del segnale di temporizzazione. Infine, il pozzo del transistor 552 PMOS a livello di soglia elevata e il pozzo del transistor 554 NMOS a livello di bassa soglia insieme formano un'uscita dell'invertitore che produce il segnale BASSO.

In fig. 7B, la funzione di trasferimento dell'invertitore (IVL) 550 a livello di bassa soglia viene vista come il contrario dell'invertitore (IVH) 540 a livello di soglia elevata. Diversamente dall'invertitore (IVH) 540 a livello di soglia elevata, l'invertitore (IVL) 550 a livello di bassa soglia ha una tensione a livello di bassa soglia (V_{th}) per rilevare transizioni del segnale 502 di temporizzazione. La distanza tra V_{th} e V_H è molto ampia.

L'uscita del rivelatore (IVL) 540 ALTO# a livello di soglia elevata e quella del rivelatore (IVH) 550 BASSO# a livello di bassa soglia vengono immesse in una prima porta NOR 562. L'uscita della prima porta NOR 562 viene immessa verso un terminale di ripristino di un chiavistello elettronico 566 di impostazione/ripristino. Le uscite opposte ALTO e BASSO vengono

(Ing. L. Parisi)
n. 852


immesse in una seconda porta logica NOR 564. L'uscita della seconda porta NOR 564 viene immessa nel terminale di impostazione del chiavistello elettronico 566 di impostazione/ripristino. L'uscita del chiavistello elettronico 566 di impostazione/ripristino viene chiamata segnale di SALITA. Questo segnale di SALITA indica se il bordo del segnale 502 di temporizzazione è in salita o in discesa. In generale, il chiavistello elettronico 566 di impostazione/ripristino va solo in ALTO quando il terminale di impostazione è ALTO, e va in BASSO quando il terminale di ripristino è ALTO. Quando entrambi i terminali di impostazione e ripristino sono in BASSO o a zero, il chiavistello elettronico 566 mantiene il suo valore precedente, $Q_{n+1} = Q_n$.

Insieme con i segnali di ALTO# e BASSO dell'invertitore, il segnale di SALITA viene immesso in una prima porta NAND 568 per fornire un segnale di controllo di pull-up (PULL_UP#). I segnali ALTO, BASSO# e SALITA vengono immessi in una terza porta logica NOR 570 per produrre un segnale di controllo di pull-down (PULL_DOWN).

Con riferimento alla fig. 8, la curva 800A illustra il segnale di temporizzazione in corrispondenza dell'ingresso 502 in fig. 5. Questo segnale di tempo-

rizzazione ricevuto viene definito dai suoi livelli logici basso (V_L) e alto (V_H), ma è stato deteriorato a causa della caratteristica di RC della linea di distribuzione della temporizzazione lungo la quale è stato propagato, e ha dunque forme d'onda a rampa con tempi relativamente lunghi di salita e discesa invece di transizioni di bordo ben definite. L'invertitore (IVH) 540 a livello di soglia elevata rileva le transizioni di temporizzazione attraverso il livello di soglia elevata (V_{TH}) vicino all'alto livello logico V_H , mentre l'invertitore (IVL) a basso livello rileva le transizioni di temporizzazione attraverso la linea di bassa soglia (V_{TL}) vicina al livello logico basso V_L . Durante la salita della temporizzazione, una transizione attraverso il livello di bassa soglia (V_{TL}) si verifica in corrispondenza di t_0 e ancora successivamente in corrispondenza di t_4 . Una transizione attraverso il livello di soglia elevata (V_{TH}) si verifica in corrispondenza di t_1 (e ancora successivamente in corrispondenza di t_5). Il periodo tra t_0 e t_1 è caratterizzato da un impulso del segnale di controllo di pull-up (PULL-UP#), illustrato nella curva 800E. Durante la discesa della temporizzazione, una transizione attraverso il livello di soglia elevata (V_{TH}) si verifica in corrispondenza del tempo t_2 (e in corri-





(Ing. L. Parisi)
n. Albo 852

spondenza di tempi successivi non illustrati dopo t_5). Una transizione attraverso il livello di bassa soglia (V_{TL}) si verifica in corrispondenza di t_3 (e ancora in tempi successivi non illustrati). Il periodo di tempo tra t_2 e t_3 è caratterizzato da un impulso del segnale di controllo di pull-down (PULL-DOWN), illustrato nella curva 800F.

Con riferimento alla curva 800B, quando il segnale di temporizzazione CK dell'ingresso, 800A, attraversa il livello logico basso V_L , l'invertitore 550 a basso punto di azionamento porta a massa la propria uscita BASSO#, e il suo complemento BASSO va in alto, come visto dal segnale 800B. I bordi del segnale BASSO sono in corrispondenza di t_0 e t_3 .

In riferimento alla curva 800C, quando il segnale di temporizzazione Ck aumenta, il PMOS 542 a livello di bassa soglia sta conducendo e dunque l'uscita ALTO# si trova in corrispondenza di V_H . Durante questo tempo, il NMOS 544 a livello di soglia elevata non conduce. Solo quando il segnale 502 di temporizzazione raggiunge V_{TH} , il PMOS 544 a bassa soglia può impedire che la corrente fluisca attraverso il canale e divenga non conduttivo. Nel frattempo, il NMOS a soglia elevata diviene condotto. Come risultato, il NMOS 544 a livello di soglia elevata subentra e porta

(Ingeg. Parisi)
n. Albo 852

l'uscita (ALTO#) verso il basso. In fig. 800C, il grafico per ALTO rappresenta il contrario dell'uscita ALTO#. I bordi del segnale ALTO sono, rispettivamente, in corrispondenza di t_1 e t_2 .

Con riferimento alla curva 800D, è illustrata la SALITA di risposta dell'uscita del chiavistello elettronico 566 di impostazione/ripristino. Il terminale di impostazione del chiavistello elettronico 566 è ALTO quando entrambi i terminali ALTO e BASSO della porta NOR 564 sono in BASSO. D'altro canto, il ripristino è unicamente ALTO quando ALTO# e BASSO# sono entrambi alla logica in BASSO o a zero. Il bordo di discesa del segnale SALITA si trova in corrispondenza di t_1 , indicando che la salita della temporizzazione è terminata.

Il grafico 800E illustra il segnale di controllo di pull-up (PULL-UP#) e il modo in cui rileva il bordo in salita del segnale di temporizzazione illustrato nel grafico 800A. Inoltre, la durata dell'impulso del segnale di controllo di pull-up indica la distanza di tempo tra t_0 e t_1 .

Il grafico 800F illustra il segnale di controllo di pull-down (PULL_DOWN) e il modo in cui rileva il bordo in discesa del segnale di temporizzazione illustrato nel grafico 800A. La durata dell'impulso del

segnale di controllo di pull-down indica la distanza di tempo tra t_2 e t_3 .

Con riferimento alla fig. 9, un dispositivo di memoria 1000 sincrono comprende ripetitori rigenerativi 500 della temporizzazione come descritto di sopra per rigenerare il segnale di temporizzazione sulle linee di temporizzazione in corrispondenza di diversi punti del dispositivo di memoria 1000. Ciò illustra un utilizzo tipico per i ripetitori di temporizzazione nella circuiteria integrata. Un dispositivo tipico 1000 di memoria comprende una matrice 1002 di memoria, un circuito di controllo 1004, un decodificatore 1006 di riga, un decodificatore 1010 di colonna, un circuito di rivelazione e scrittura 1008 e 1012 un circuito 1014 di temporizzazione. I ripetitori 500 di temporizzazione sono distribuiti attraverso il dispositivo 1000 lungo linee di distribuzione della temporizzazione, che sono divise in segmenti.

Rivendicazioni

1. Ripetitore di temporizzazione per rigenerare un segnale di temporizzazione su una linea di distribuzione della temporizzazione, comprendente:

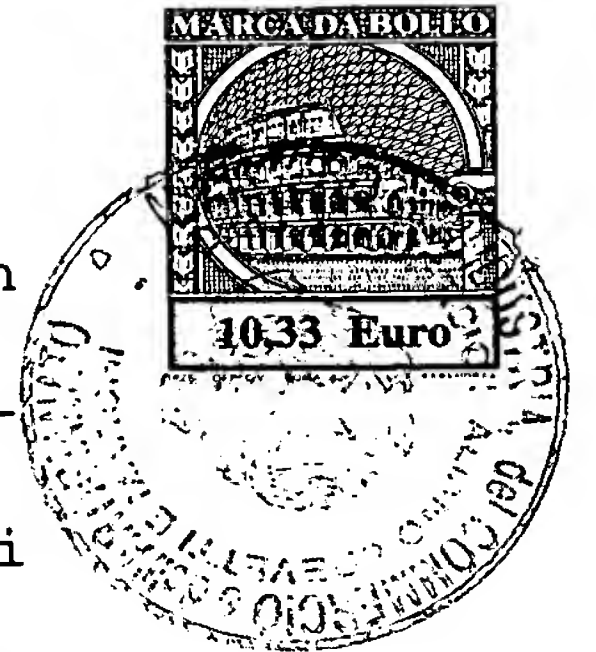
mezzi di rilevazione di bordo per rilevare un bordo in salita e un bordo in discesa di detto segnale di temporizzazione e generare rispettivi segnali di controllo di pull-up e pull-down in risposta ad esso; e

mezzi di driver di uscita, collegati a detti mezzi di rilevazione di bordo per ricevere detti segnali di controllo da essi, per il recupero di livelli logici alti e bassi di detto segnale di temporizzazione.

2. Ripetitore di temporizzazione secondo la rivendicazione 1, in cui detti mezzi di rilevazione di bordo comprendono inoltre:

mezzi di rilevazione del livello per generare un primo segnale e un secondo segnale per mezzo della rilevazione di un bordo in salita da un livello logico basso e di un bordo in discesa da un livello logico elevato di detto segnale di temporizzazione;

una prima porta logica NOR adatta a ricevere un contrario del primo segnale e un contrario del secondo segnale;



(ing. L. Parisi)
n. Albo 852

una seconda porta logica NOR adatta a ricevere il primo segnale e il secondo segnale;

un chiavistello elettronico di impostazione/ripristino, accoppiato ad un'uscita della prima porta logica NOR in corrispondenza di un terminale di ingresso di impostazione, e ad un'uscita della seconda porta logica NOR in corrispondenza del terminale di ingresso di ripristino, per produrre un terzo segnale;

una prima porta logica NAND adatta a ricevere il primo segnale, il contrario del secondo segnale per generare un segnale di controllo di pull-up, e

una terza porta logica NOR adatta a ricevere il contrario del primo segnale, il secondo segnale, e il terzo segnale di impulsi per generare il segnale di controllo di pull-down.

3. Ripetitore di temporizzazione secondo la rivendicazione 2, in cui detti mezzi di rilevazione del livello comprendono inoltre primi mezzi di rilevazione del livello per rilevare detto livello logico elevato, e secondi mezzi di rilevazione del livello per rilevare detto livello logico basso di detto segnale di temporizzazione.

4. Ripetitore di temporizzazione secondo la rivendicazione 3, in cui detti primi mezzi di rileva-

(Ing. L. Barisi)
n. Albo 852

zione del livello comprendono inoltre:

un transistor PMOS a bassa soglia e un transistor NMOS a soglia elevata per rilevare detto livello logico elevato di detto segnale di temporizzazione, in cui la porta di detto transistor PMOS a bassa soglia e la porta di detto transistor NMOS a soglia elevata sono accoppiate l'una all'altra e a detto segnale di temporizzazione, il pozzo di detto transistor PMOS a bassa soglia essendo accoppiato al pozzo di detto transistor NMOS a soglia elevata, la sorgente di detto transistor PMOS a bassa soglia essendo accoppiata ad una alimentazione di tensione, e la sorgente di detto transistor NMOS a soglia elevata essendo accoppiata ad una massa elettrica, e

un primo invertitore avendo un terminale di ingresso accoppiato alla giunzione pozzo-pozzo di detto transistor PMOS a bassa soglia e di detto transistor NMOS a soglia elevata per produrre detto primo segnale, in cui il terminale di uscita di detto primo invertitore è il contrario di detto primo segnale.

5. Ripetitore di temporizzazione secondo la rivendicazione 3, in cui detti secondi mezzi di rilevazione del livello comprendono inoltre:

un transistor PMOS a soglia elevata e un transistor NMOS a bassa soglia per rilevare detti livelli

(ing. J. Parisi)
n. 852

logici bassi di detto segnale di temporizzazione, in cui la porta di detto transistor NMOS a bassa soglia e la porta di detto transistor PMOS a soglia elevata sono accoppiate l'una all'altra, il pozzo di detto transistor NMOS a bassa soglia essendo accoppiato al pozzo di detto transistor PMOS a soglia elevata, la sorgente di detto transistor PMOS a soglia elevata essendo accoppiata a detta tensione di alimentazione, e la sorgente di detto transistor NMOS a bassa soglia essendo accoppiata a detta massa elettrica; e

un secondo invertitore avendo un terminale di ingresso accoppiato alla giunzione pozzo-pozzo del transistor PMOS a soglia elevata e di detto transistor NMOS a bassa soglia per produrre detto secondo segnale, in cui il terminale di uscita di detto invertitore è il contrario di detto secondo segnale.

6. Ripetitore rigenerativo di temporizzazione secondo la rivendicazione 1, in cui detti mezzi di driver di uscita comprendono inoltre:

un transistor PMOS di pull-up;

un transistor NMOS di pull-down accoppiato a detto transistor PMOS di pull-up, in cui la porta di detto transistor PMOS di pull-up è accoppiata a detto segnale di controllo di pull-up, il pozzo di detto transistor PMOS di pull-up è accoppiato al pozzo di

(me) L. Parisi)
852

detto transistor NMOS di pull-down e a detto segnale di temporizzazione, la sorgente del transistor PMOS di pull-up essendo accoppiata a detta alimentazione di tensione, una porta del transistor NMOS di pull-down essendo accoppiata a detto segnale di controllo di pull-down, e la sorgente di detto transistor NMOS di pull-down essendo accoppiata a detta massa elettrica.



7. Ripetitore di temporizzazione per rigenerare un segnale di temporizzazione su una linea di distribuzione della temporizzazione, comprendente:

(a) mezzi rilevatori di bordo per rilevare un bordo in salita e un bordo in discesa di detto segnale di temporizzazione e generare rispettivi segnali di controllo di pull-up e pull-down in risposta ad esso; e

(i) mezzi di rilevazione del livello per generare un primo segnale e un secondo segnale per mezzo della rilevazione di un livello logico basso e di un livello logico elevato di detto segnale di temporizzazione;

(ii) una prima porta logica NOR adatta a ricevere un contrario del primo segnale e un contrario del secondo segnale;

(iii) una seconda porta logica NOR adatta a

(Ing. F. Parisi)
n. 852

ricevere il primo segnale e il secondo segnale;

(iv) un chiavistello elettronico di impostazione/ripristino, accoppiato all'uscita della prima porta logica NOR in corrispondenza di un terminale di ingresso di impostazione, e all'uscita della seconda porta logica NOR in corrispondenza del terminale di ingresso di ripristino, per produrre un terzo segnale;

(v) una prima porta logica NAND adatta a ricevere il primo segnale, il contrario del secondo segnale per generare un segnale di controllo di pull-up, e

(vi) una terza porta logica NOR adatta a ricevere il contrario del primo segnale, il secondo segnale, e il terzo segnale di impulsi per generare il segnale di controllo di pull-down;

(b) mezzi di driver di uscita, collegati a detti mezzi rilevatori di bordo per ricevere detti segnali di controllo da essi, in modo da recuperare livelli logici alti e bassi di detto segnale di temporizzazione;

(i) un transistor PMOS di pull-up;

(ii) un transistor NMOS di pull-down accoppiato a detto transistor PMOS di pull-up, in cui la porta di detto transistor PMOS di pull-up è accoppiata a detto segnale di controllo di pull-up, il pozzo di detto

(In) (b) Parisi)
N. Albo 852

transistor PMOS di pull-up è accoppiato al pozzo di detto transistor NMOS di pull-down e a detto segnale di temporizzazione, la sorgente del transistor PMOS di pull-up essendo accoppiata a detta alimentazione di tensione, una porta del transistor NMOS di pull-down essendo accoppiata a detto segnale di controllo di pull-down, e la sorgente di detto transistor NMOS di pull-down essendo accoppiata a detta massa elettrica.

8. Ripetitore di temporizzazione secondo la rivendicazione 7, in cui detti mezzi di rilevazione del livello comprendono inoltre primi mezzi di rilevazione del livello per rilevare detto livello logico elevato, e secondi mezzi di rilevazione del livello per rilevare detti livelli logici bassi di detto segnale di temporizzazione.

9. Ripetitore di temporizzazione secondo la rivendicazione 8, in cui detti primi mezzi di rilevazione del livello comprendono inoltre:

un transistor PMOS a bassa soglia e un transistor NMOS a soglia elevata per rilevare detto livello logico elevato di detto segnale di temporizzazione, in cui la porta di detto transistor PMOS a bassa soglia e la porta di detto transistor NMOS a soglia elevata sono accoppiate l'una all'altra e a detto segnale di

(Ing. L. Parisi)
10.460.852

temporizzazione, il pozzo di detto transistor PMOS a bassa soglia essendo accoppiato al pozzo di detto transistor NMOS a soglia elevata, la sorgente di detto transistor PMOS a bassa soglia essendo accoppiata ad una alimentazione di tensione, e la sorgente di detto transistor NMOS a soglia elevata essendo accoppiata ad una massa elettrica, e

un primo invertitore avente un terminale di ingresso accoppiato alla giunzione pozzo-pozzo di detto transistor PMOS a bassa soglia e di detto transistor NMOS a soglia elevata per produrre detto primo segnale, in cui il terminale di uscita di detto primo invertitore è il contrario di detto primo segnale.

10. Ripetitore rigenerativo di temporizzazione secondo la rivendicazione 8, in cui detti secondi mezzi di rilevazione del livello comprendono inoltre:

un transistor PMOS a soglia elevata e un transistor NMOS a bassa soglia per rilavare detti livelli logici bassi di detto segnale di temporizzazione, in cui la porta di detto transistor NMOS a bassa soglia e la porta di detto transistor PMOS a soglia elevata sono accoppiate l'una all'altra, il pozzo di detto transistor NMOS a bassa soglia essendo accoppiato al pozzo di detto transistor PMOS a soglia elevata, la sorgente di detto transistor PMOS a soglia elevata

(M. A. Parisi)
Albo 852

essendo accoppiata a detta tensione di alimentazione,
e la sorgente di detto transistor NMOS a bassa soglia
essendo accoppiata a detta massa elettrica; e

un secondo invertitore avente un terminale di ingresso accoppiato alla giunzione pozzo-pozzo del transistor PMOS a soglia elevata e di detto transistor NMOS a bassa soglia per produrre detto secondo segnale, in cui il terminale di uscita di detto invertitore è il contrario di detto secondo segnale.



11. Dispositivo di memoria sincrono semiconduttore, comprendente:

una matrice di celle di memoria comprendente una pluralità di celle di memoria disposte in righe e colonne;

un terminale di dati di ingresso/uscita;

un circuito di controllo che controlla le operazioni di detto dispositivo di memoria sincrono semiconduttore;

un circuito di rilevazione e di scrittura;

un decodificatore di indirizzo della riga/colonna per selezionare righe e colonne di detta matrice di celle di memoria; e

un circuito temporizzatore per sincronizzare dette operazioni di detto dispositivo di memoria sincrono semiconduttore, in cui detto circuito di temporiz-

(Ing. E. Parisi)
n. 100 852

zazione comprende una pluralità di circuiti rigenerativi di temporizzazione distribuiti lungo linee di temporizzazione all'interno di detto dispositivo di memoria, ognuno dei quali comprende inoltre:

(a) mezzi rilevatori di bordo per rilevare un bordo in salita e un bordo in discesa di detto segnale di temporizzazione e generare rispettivi segnali di controllo di pull-up e pull-down in risposta ad esso;

(i) mezzi di rilevazione del livello per generare un primo segnale e un secondo segnale per mezzo della rilevazione di un livello logico basso e di un livello logico elevato di detto segnale di temporizzazione;

(ii) una prima porta logica NOR adatta a ricevere un contrario del primo segnale e un contrario del secondo segnale;

(iii) una seconda porta logica NOR adatta a ricevere il primo segnale e il secondo segnale;

(iv) un chiavistello elettronico di impostazione/ripristino, accoppiato ad un'uscita della prima porta logica NOR in corrispondenza di un terminale di ingresso di impostazione, e ad un'uscita della seconda porta logica NOR in corrispondenza del terminale di ingresso di ripristino, per produrre un terzo se-

(Ing. ~~F. P. P.~~ ~~852~~)
n. ~~852~~

gnale;

(v) una prima porta logica NAND adatta a ricevere il primo segnale, il contrario del secondo segnale per generare un segnale di controllo di pull-up, e

(vi) una terza porta logica NOR adatta a ricevere il contrario del primo segnale, il secondo segnale, e il terzo segnale di impulsi per generare il segnale di controllo di pull-down;

(b) mezzi di driver di uscita, collegati a detti mezzi rilevatori di bordo per ricevere detti segnali di controllo da essi, in modo da recuperare livelli logici alti e bassi di detto segnale di temporizzazione;

(i) un transistor PMOS di pull-up;

(ii) un transistor NMOS di pull-down accoppiato a detto transistor PMOS di pull-up, in cui la porta di detto transistor PMOS di pull-up è accoppiata a detto segnale di controllo di pull-up, il pozzo di detto transistor PMOS di pull-up è accoppiato al pozzo di detto transistor NMOS di pull-down e a detto segnale di temporizzazione, la sorgente del transistor PMOS di pull-up essendo accoppiata a detta alimentazione di tensione, una porta del transistor NMOS di pull-down essendo accoppiata a detto segnale di controllo di pull-down, e la sorgente di detto transistor NMOS

di pull-down essendo accoppiata a detta massa elettrica.

12. Dispositivo di memoria semiconduttore sincrono secondo la rivendicazione 11, in cui detti mezzi di rilevazione del livello comprendono inoltre primi mezzi di rilevazione del livello per rilevare detto livello logico elevato, e secondi mezzi di rilevazione del livello per rilevare detto livello logico basso di detto segnale di temporizzazione.

13. Dispositivo di memoria semiconduttore sincrono secondo la rivendicazione 12, in cui detti primi mezzi di rilevazione del livello comprendono inoltre:

un transistor PMOS a bassa soglia e un transistor NMOS a soglia elevata per rilevare detto livello logico elevato di detto segnale di temporizzazione, in cui la porta di detto transistor PMOS a bassa soglia e la porta di detto transistor NMOS a soglia elevata sono accoppiate l'una all'altra e a detto segnale di temporizzazione, il pozzo di detto transistor PMOS a bassa soglia essendo accoppiato al pozzo di detto transistor NMOS a soglia elevata, la sorgente di detto transistor PMOS a bassa soglia essendo accoppiata ad una alimentazione di tensione, e la sorgente di detto transistor NMOS a soglia elevata essendo accop-

(Ing. V. Rossi)
n. 852

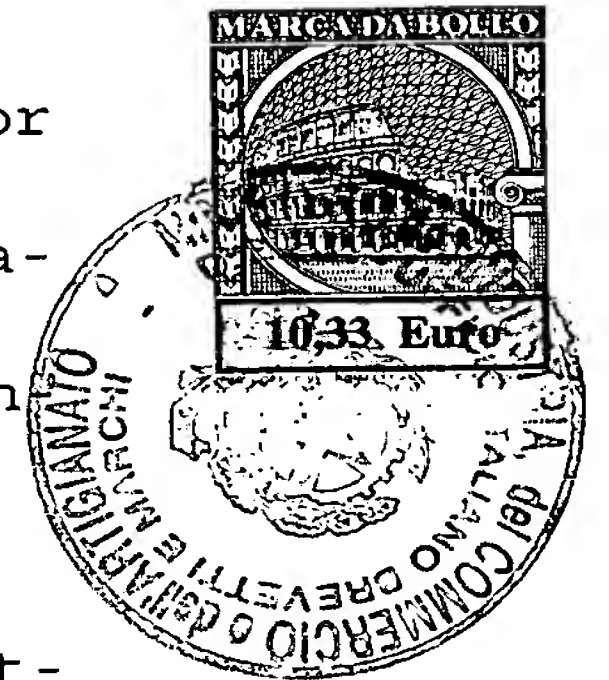
piata ad una massa elettrica, e

un primo invertitore avente un terminale di ingresso accoppiato alla giunzione pozzo-pozzo di detto transistor PMOS a bassa soglia e di detto transistor NMOS a soglia elevata per produrre detto primo segnale, in cui il terminale di uscita di detto primo invertitore è il contrario di detto primo segnale.

14. Dispositivo di memoria sincrono semiconduttore secondo la rivendicazione 7, in cui detti secondi mezzi di rilevazione del livello comprendono inoltre:

un transistor PMOS a soglia elevata e un transistor NMOS a bassa soglia per rilavare detti livelli logici bassi di detto segnale di temporizzazione, in cui la porta di detto transistor NMOS a bassa soglia e la porta di detto transistor PMOS a soglia elevata sono accoppiate l'una all'altra, il pozzo di detto transistor NMOS a bassa soglia essendo accoppiata al pozzo di detto transistor PMOS a soglia elevata, la sorgente di detto transistor PMOS a soglia elevata essendo accoppiata a detta tensione di alimentazione, e la sorgente di detto transistor NMOS a bassa soglia essendo accoppiata a detta massa elettrica; e

un secondo invertitore avente un terminale di ingresso accoppiato alla giunzione pozzo-pozzo del



Ind. L. Parisi)
Albo 852

transistor PMOS a soglia elevata e di detto transistor NMOS a bassa soglia per produrre detto secondo segnale, in cui il terminale di uscita di detto invertitore è il contrario di detto secondo segnale.

15. Metodo di rigenerazione di un segnale di temporizzazione in un dispositivo di memoria sincrono semiconduttore, tale metodo comprendendo le seguenti fasi:

rilevare un bordo in salita da un livello logico basso e un bordo in discesa da un livello logico elevato di detto segnale di temporizzazione;

generare un segnale di controllo di pull-up in risposta alla rilevazione del bordo in salita del segnale di temporizzazione;

generare un segnale di controllo di pull-down in risposta alla rilevazione del bordo in discesa di detto segnale di temporizzazione;

recuperare detto livello logico elevato utilizzando il segnale di controllo di pull-up;

recuperare detto livello logico basso utilizzando il segnale di controllo di pull-down.

16. Metodo secondo la rivendicazione 15, in cui la fase di generazione del segnale di controllo di pull-up comprende inoltre le fasi di:

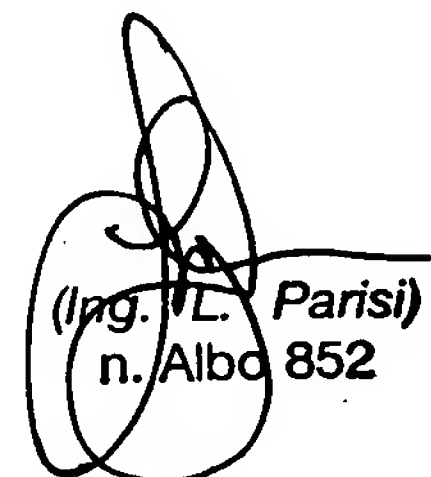
generare un primo segnale basato sul livello lo-

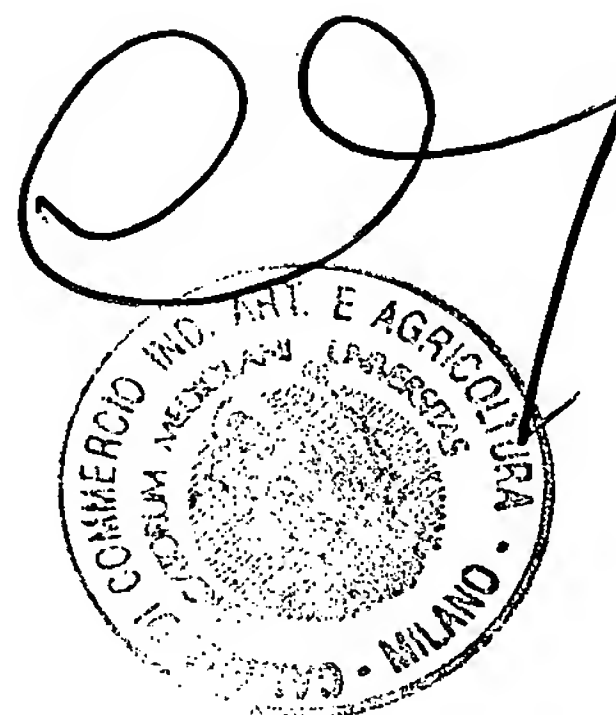
gico elevato;

generare un secondo segnale basato sul livello logico basso; e

generare un terzo segnale utilizzando il primo e il secondo segnale e i loro segnali complementari.

Milano,


(Ing. V.L. Parisi)
n. Albo 852



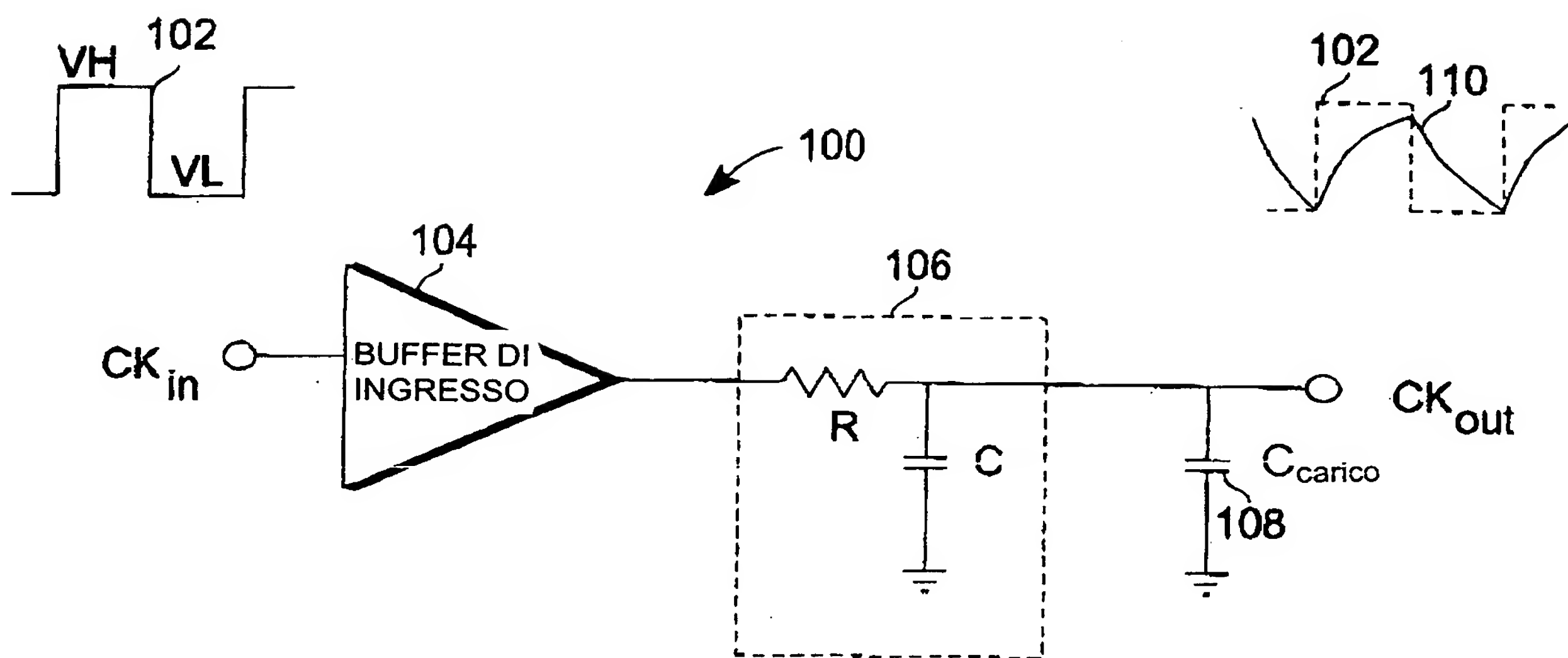
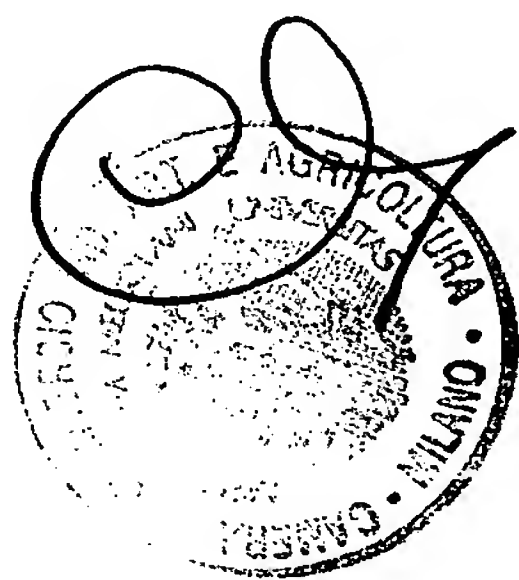


Fig. 1

MI 2003/001217



(Ing. L. Parisi)
n. Albo 852

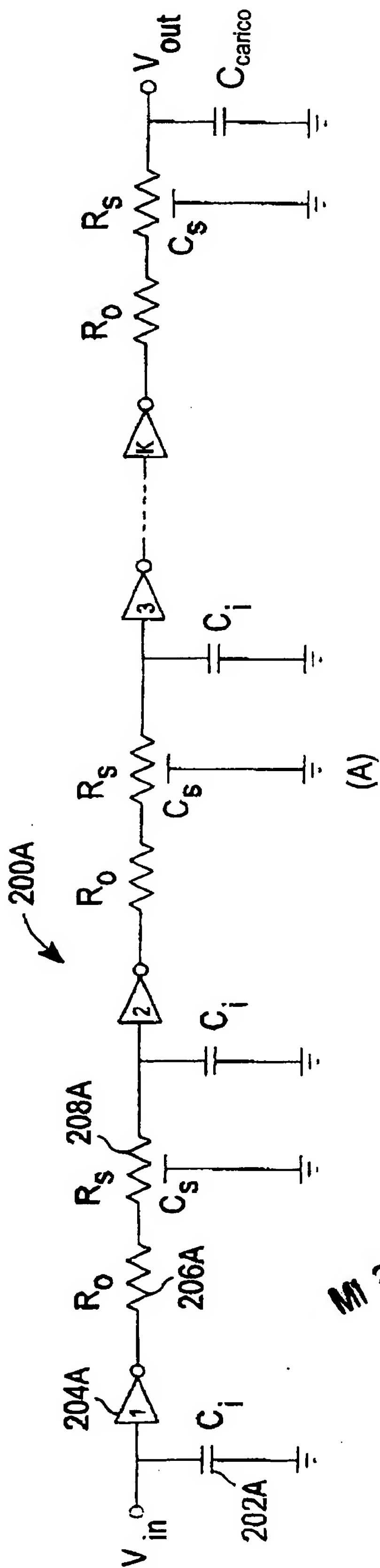


Fig. 2A

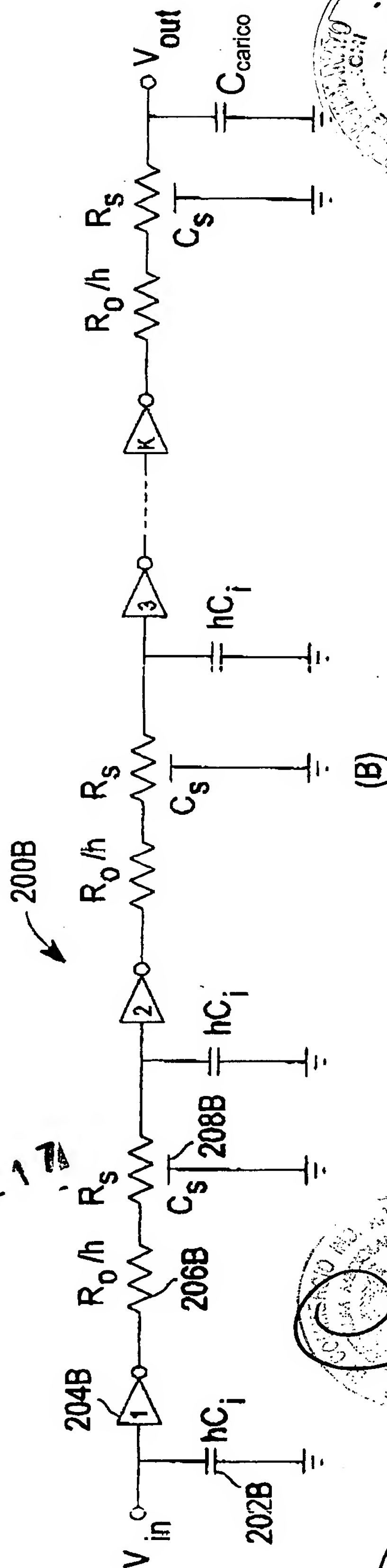
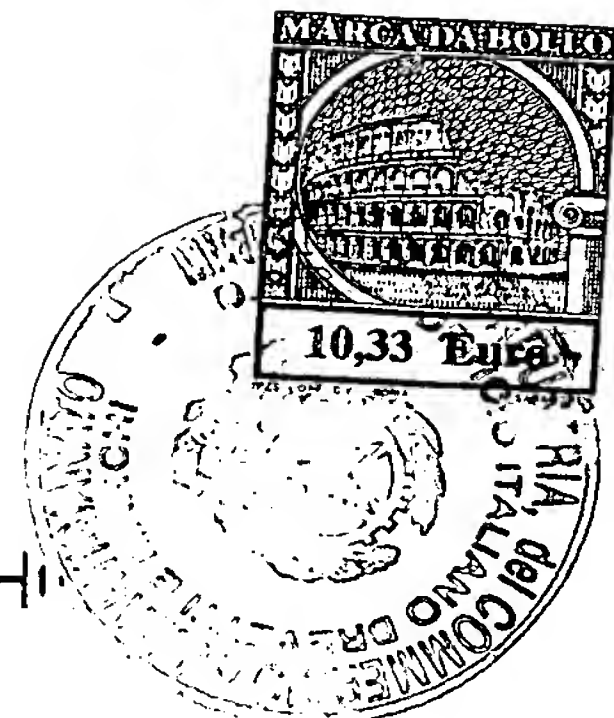


Fig. 2B

M 200 31001217



(Ing. L. Parisi)
n. Albo 852



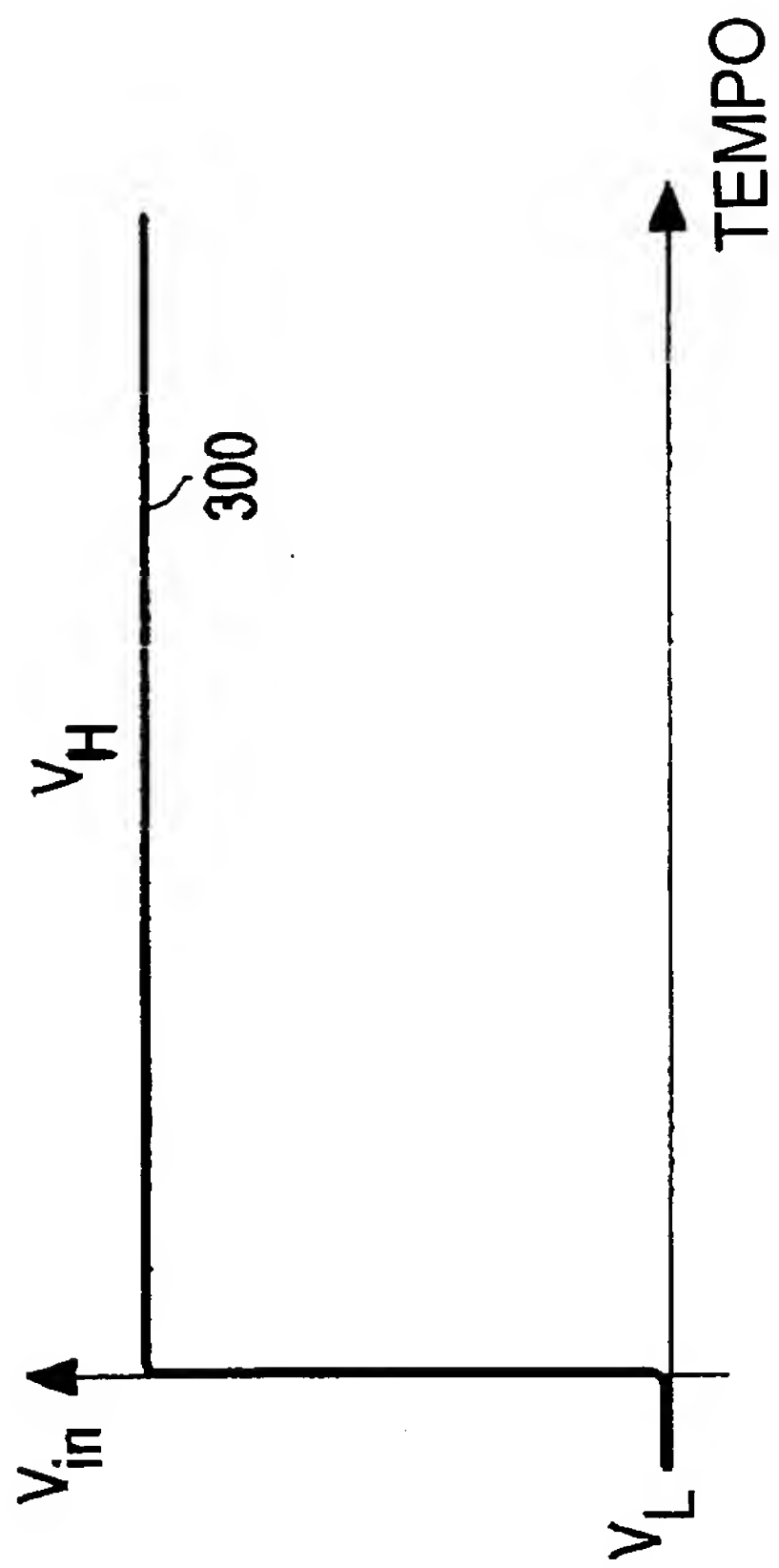


Fig. 3A

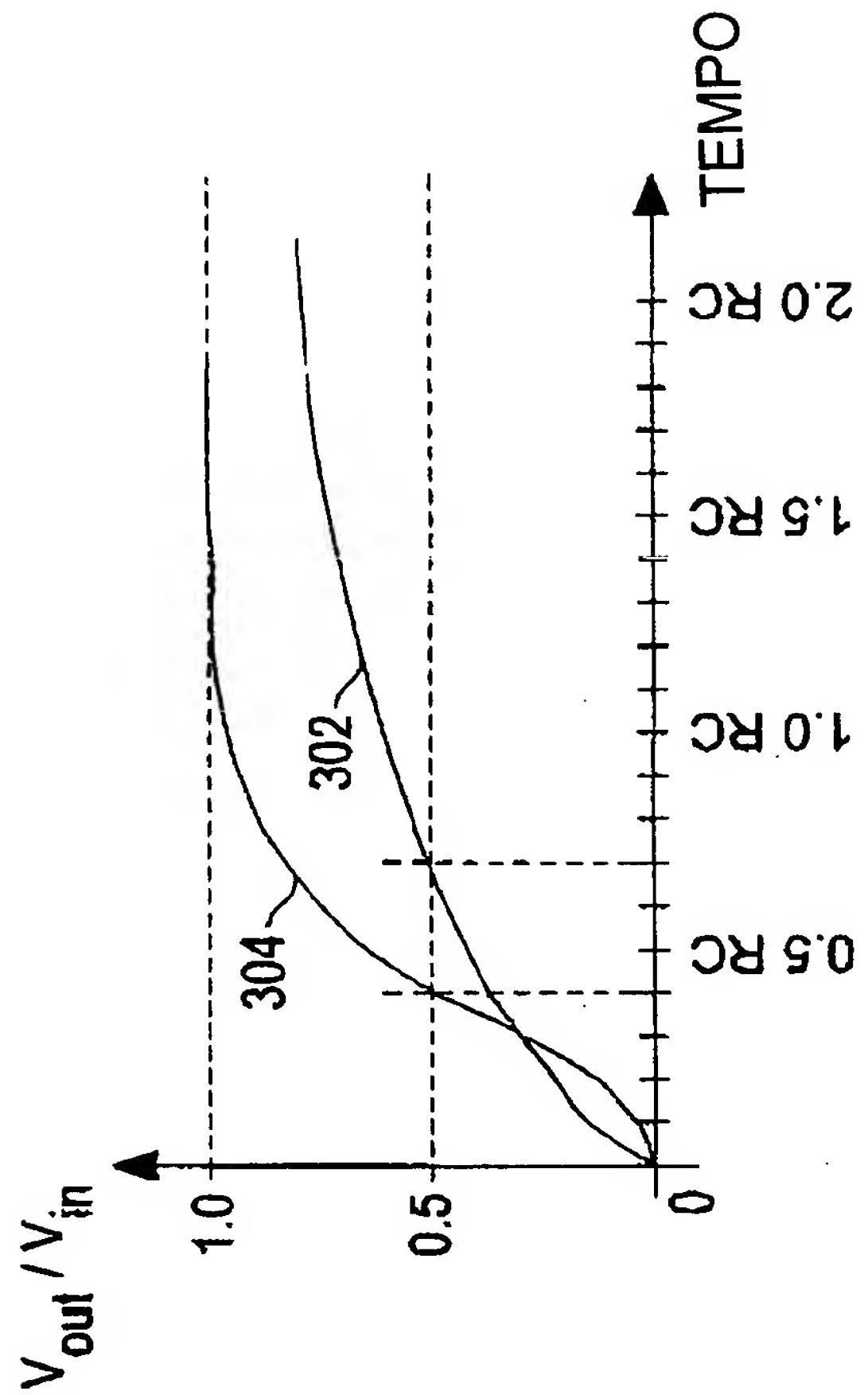
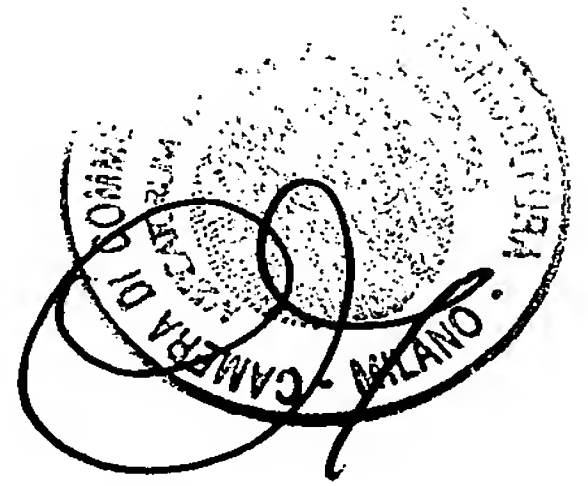


Fig. 3B

MI 2003 001217



(ing. F. Parisi)
n. Albo 852

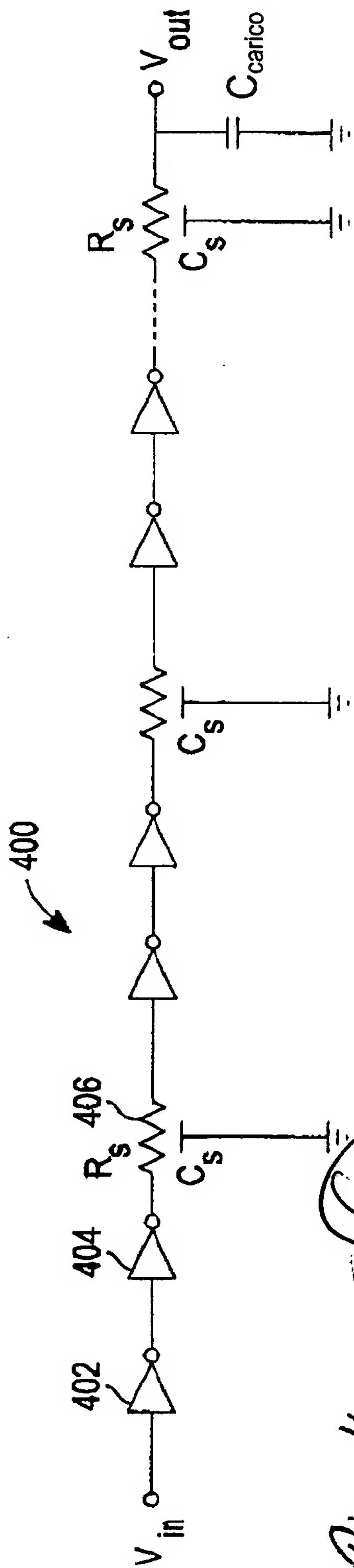


Fig. 4

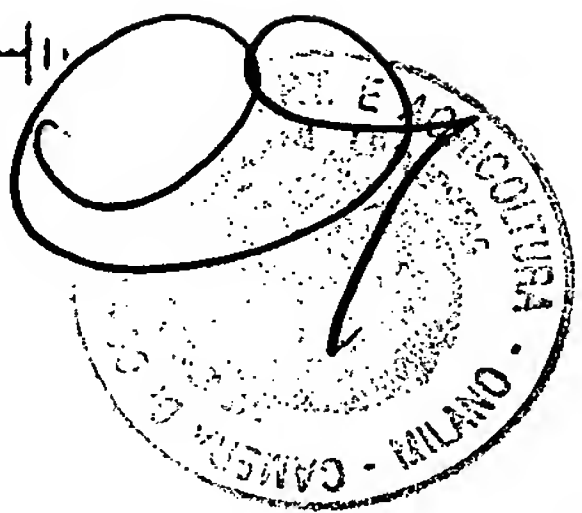
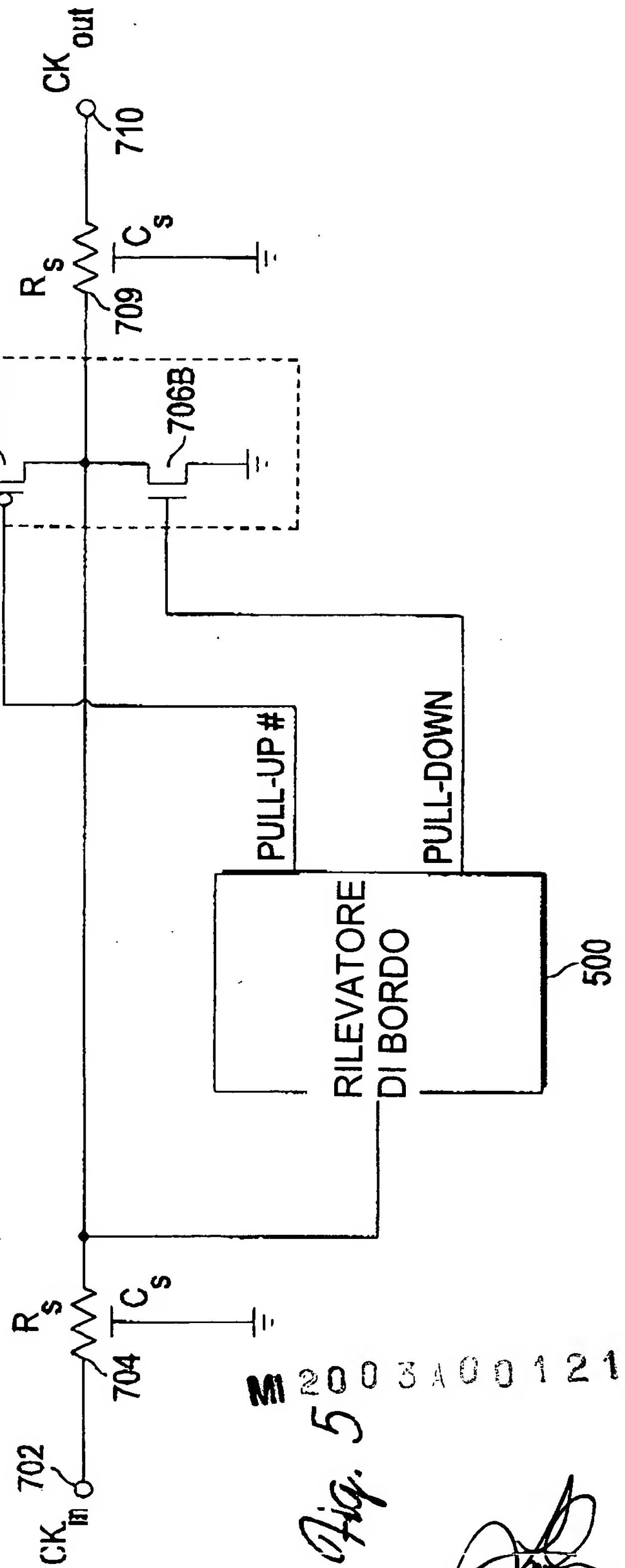


Fig. 5

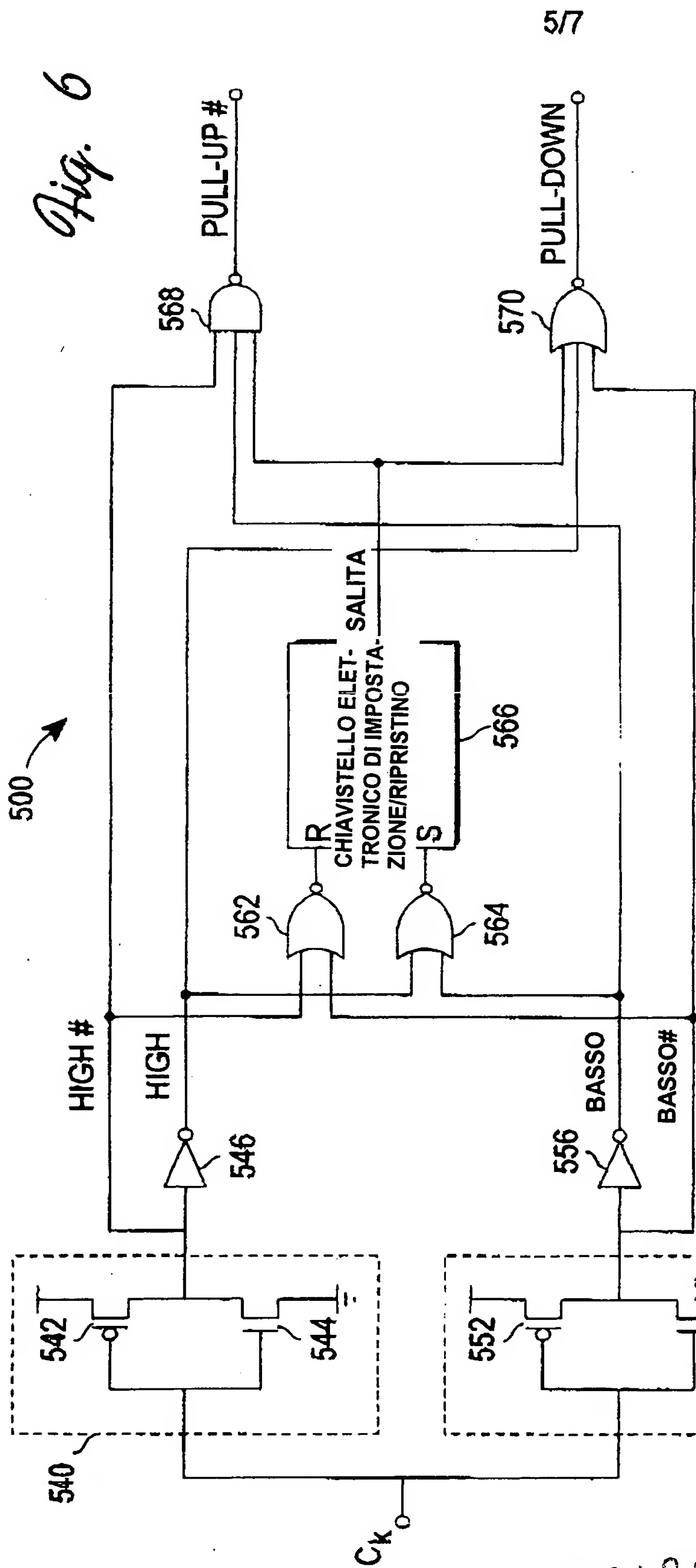


2003A00121

Fig. 5

(ing. L. Parisi)
n. Albo 852

Fig. 6



57

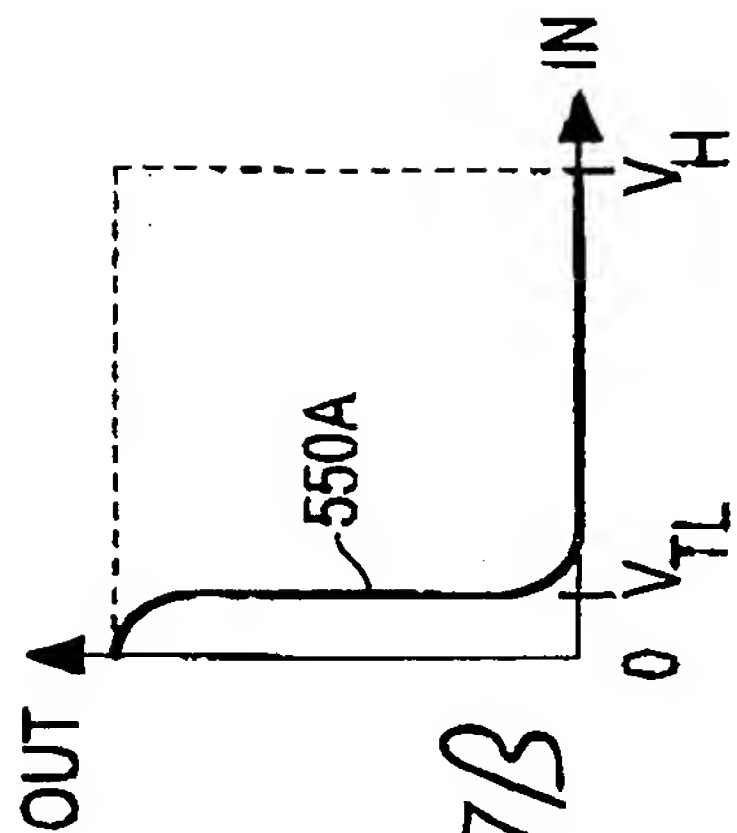


Fig. 7B

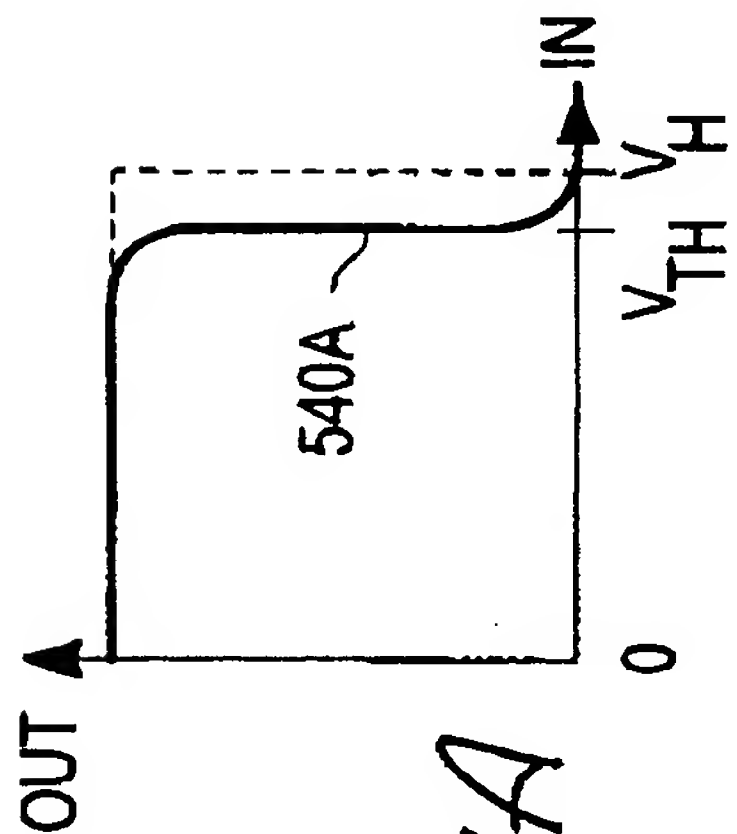


Fig. 7A

MI 2003 A 001217

(Ing. L. Parisi)
n. Albo 852

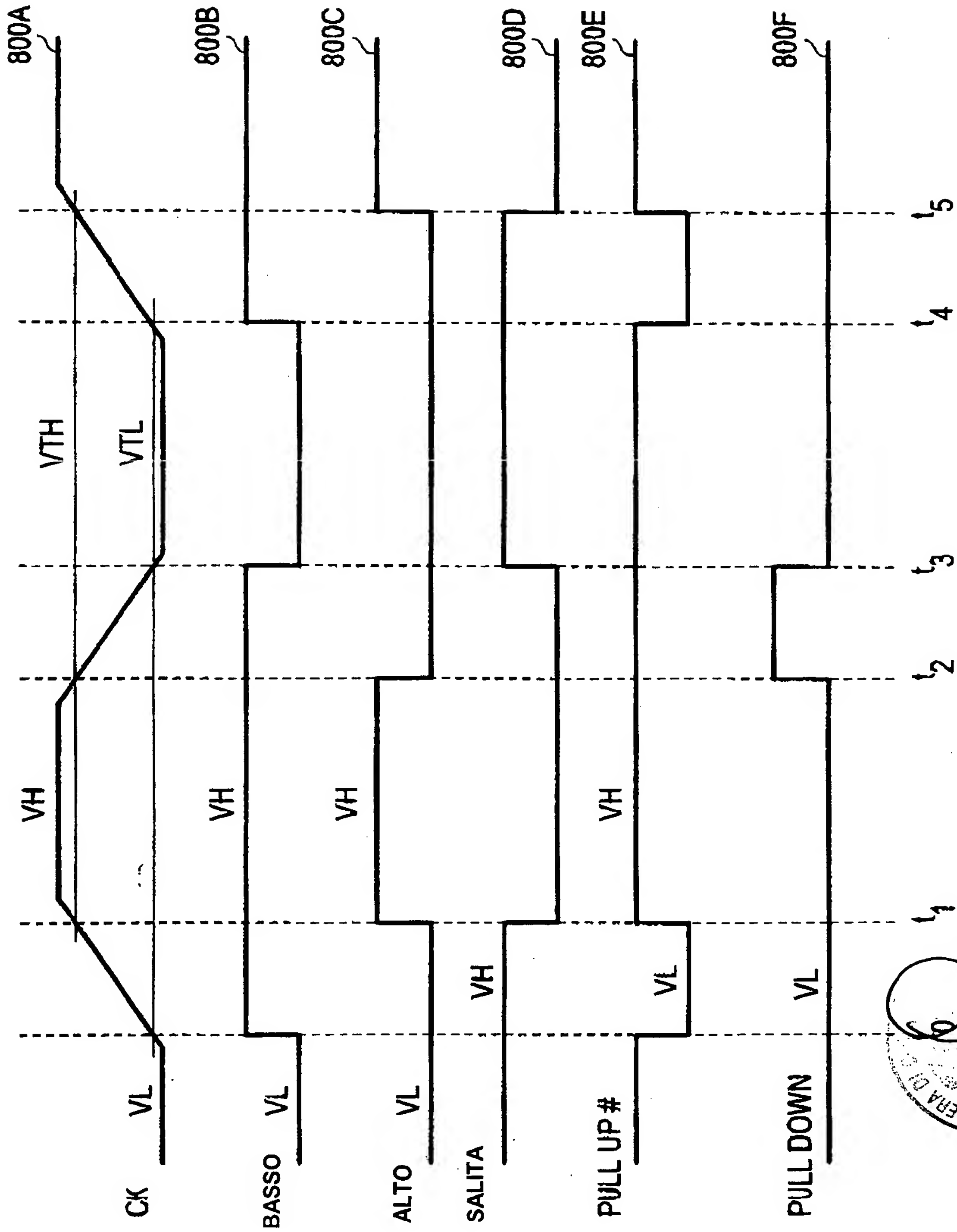


Fig. 8



(Ing. L. Parisi)
n. Albo 852

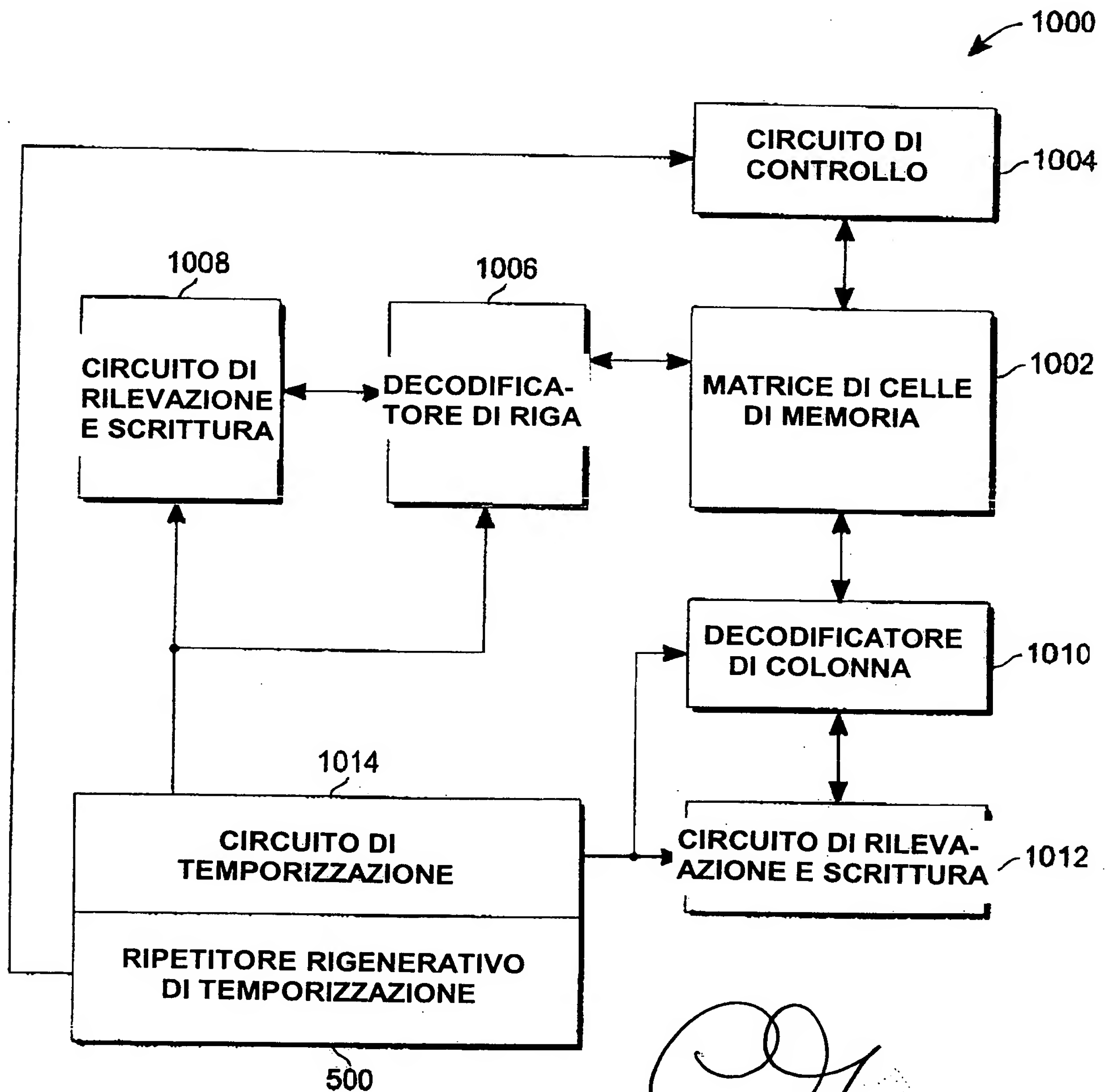


Fig. 9

MI 2003A00121

(Ing. L. Parisi)
n. Albo 852